

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 1 月 10 日 (10.01.2002)

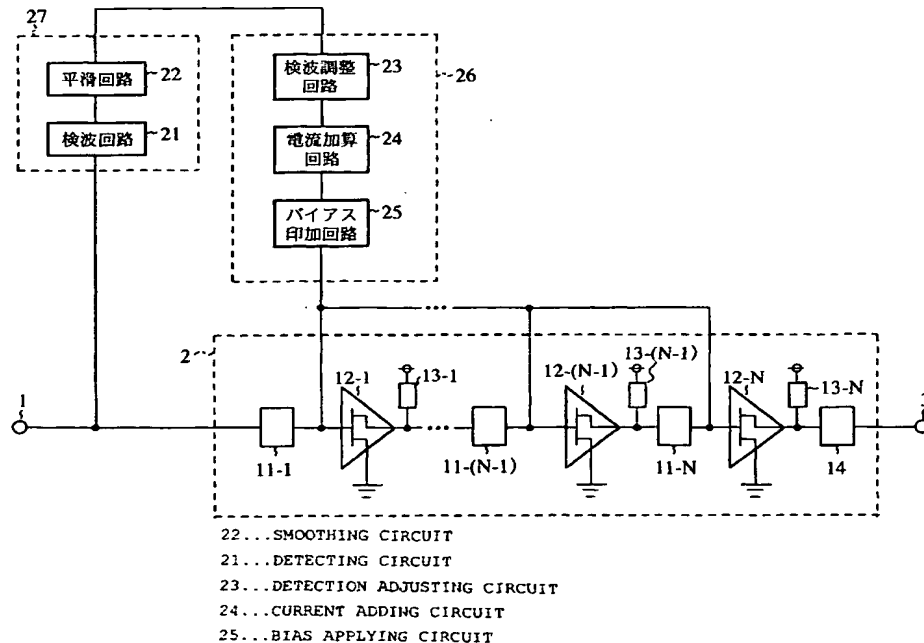
PCT

(10) 国際公開番号
WO 02/03543 A1

- (51) 国際特許分類⁷: H03F 1/02, 永野弘明 (NAGANO, Hiroaki) [JP/JP]. 望月 満 (MOCHIZUKI, Mitsuru) [JP/JP]. 池田幸夫 (IKEDA, Yukio) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP00/04367
- (22) 国際出願日: 2000 年 6 月 30 日 (30.06.2000) (74) 代理人: 田澤博昭, 外 (TAZAWA, Hiroaki et al.); 〒100-0013 東京都千代田区霞が関三丁目7番1号 大東ビル7階 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): JP, KR, US.
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP). (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 新庄真太郎 (SHINJO, Shintaro) [JP/JP]. 森 一富 (MORI, Kazutomi) [JP/JP]. 上馬弘敬 (JOBA, Hiroyuki) [JP/JP].
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: HIGH-FREQUENCY AMPLIFIER

(54) 発明の名称: 高周波増幅装置



(57) Abstract: Transistors (12-1 to 12-N) of a high-frequency amplifying unit (2) amplify an inputted high-frequency signal. A measuring circuit (27) measures the amplitude of the inputted high-frequency signal. A bias control circuit (26) continuously controls the bias applied to the transistors (12-1 to 12-N) according to the measured value of the amplitude. Thus, a steep gain variation with the variation of the amplitude of the inputted high-frequency signal can be suppressed.

[続葉有]



(57) 要約:

高周波増幅部 2 は、入力された高周波信号を複数のトランジスタ 1 2 - 1 ~ 1 2 - N で増幅する。このとき、測定回路 2 7 は、入力された高周波信号の振幅を測定し、バイアス制御回路 2 6 は、測定回路 2 7 により測定された振幅の値に応じて連続的に、トランジスタ 1 2 - 1 ~ 1 2 - N に印加されるバイアスを制御する。これにより、入力された高周波信号の振幅の変化に応じて発生する急峻な利得変動を抑制することができる。

明 細 書

高周波増幅装置

技術分野

この発明は、移動体通信端末などに使用され、高周波信号を増幅する高周波増幅装置に関するものである。

背景技術

第1図は、例えば「Intelligent RF Power Module Using Automatic Bias Control(ABC) System for PCS CDMA Applications」(Satoh他著者、IEEE MTT-S Int. Microwave Symp. Dig.、第201頁～第204頁、1998年)に記載の従来の高周波増幅装置の構成を示すブロック図である。図において、201は入力端子であり、202-1は高周波信号を増幅する第1段目のトランジスタであり、202-2は高周波信号を増幅する第2段目のトランジスタであり、203-1はトランジスタ202-1の入力にバイアスをかけるための分布定数回路や抵抗、インダクタ、キャパシタなどのバイアスフィード回路であり、203-2はトランジスタ202-2の入力にバイアスをかけるためのバイアスフィード回路であり、204-1はトランジスタ202-1の出力側のプルアップ回路であり、204-2はトランジスタ202-2の出力側のプルアップ回路であり、205は出力端子である。

211は入力信号を検波するトランジスタであり、212はトランジスタ211の出力側のプルアップ回路であり、213は基準電圧電源214による基準電圧とトランジスタ211により検波された信号の電圧とを比較する比較器であり、214は所定の基準電圧を発生する基準電

圧電源であり、215は比較器213による比較結果に応じた電圧をバイアスフィード回路203-1, 203-2に印加する可変電圧電源である。

次に動作について説明する。

入力端子201を介して供給される高周波信号はトランジスタ202-1, 202-2により増幅され、増幅後の高周波信号が出力端子205を介して出力される。

一方、トランジスタ211は、入力端子201を介して供給される高周波信号を検波し、その検波後の信号を比較器213に供給する。比較器213は基準電圧電源214による基準電圧とトランジスタ211により検波された信号の電圧とを比較し、検波後の信号の電圧が基準電圧より高いか否かを示す信号（例えば0か1の信号）を可変電圧電源215に供給する。可変電圧電源215は、入力信号の電圧が基準電圧より高いか低いかに応じて、バイアスフィード回路203-1, 203-2に印加する電圧を切り替える。

これにより、入力信号の電圧（電力）に応じてトランジスタ202-1, 202-2のバイアスを切り替えるようにして、低出力電力時の消費電力が低減される。

しかしながら、従来の高周波増幅装置は以上のように構成されているので、入力信号の電圧が基準電圧より高いか低いかに基づいてトランジスタのバイアスが不連続に切り替えられるため、切替時の利得変動が大きいこと、消費電力をより低減することが困難であることなどの課題があった。切替時の利得変動が大きいと、信号の位相にずれが生じ、検波に不具合が生じる可能性がある。また、切替時の利得変動が大きいと、例えばW-CDMA (Wideband Code Division Multiple Access) 方式などの、利得変動幅が厳しく制約されている方式を通信機などに使用す

る場合、その制約を満たすことが困難である。

この発明は上記のような課題を解決するためになされたもので、入力された高周波信号を増幅する複数の増幅素子を有する高周波増幅部と、入力された高周波信号の振幅を測定する測定回路と、測定回路により測定された前記振幅の値に応じて連続的に、増幅素子に印加されるバイアスを制御するバイアス制御回路とを備えるようにして、入力された高周波信号の振幅の変化に応じて発生する急峻な利得変動を抑制することができる高周波増幅装置を得ることを目的とする。

発明の開示

この発明に係る高周波増幅装置は、入力された高周波信号を増幅する複数の増幅素子を有する高周波増幅部と、入力された高周波信号の振幅を測定する測定回路と、測定回路により測定された振幅の値に応じて連続的に、増幅素子に印加されるバイアスを制御するバイアス制御回路とを備えるようにしたものである。このことによって、入力された高周波信号の振幅の変化に応じて発生する急峻な利得変動を抑制することができるという効果が得られる。また、バイアス制御回路が複数の増幅素子に印加されるバイアスを一括して制御するので、回路規模を低減することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、バイアス制御回路が、測定回路により測定された振幅に応じた値の電流を出力する電流加算回路と、電流加算回路からの電流および所定の基準電流の和に応じたバイアスを複数の増幅素子に印加するバイアス印加回路とを有する。このことによって、入力された高周波信号の振幅が小さくなるとバイアスを連続的に小さくすることができ、低出力電力時の消費電力をより低減することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、バイアス制御回路が、測定回路が高周波信号の振幅を測定する際にその振幅に応じて導通する電流の値を設定する検波調整回路を有する。このことによって、測定回路の動作条件を制御することができ、装置の調整を簡単に実行するという効果が得られる。

この発明に係る高周波増幅装置によれば、電流加算回路が、測定回路により測定された振幅に応じた値の電流を一端に導通し、その電流に応じて、カレントミラー回路の接合面積比および電源電圧に基づいて設定された電流を他端から出力するカレントミラー回路を有する。このことによって、カレントミラー回路の接合面積比および電源電圧を調整することにより入力された高周波信号の振幅に対するバイアス印加回路への電流の特性を簡単に調整することができ、ひいては増幅素子に印加されるバイアスを簡単に調整することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、バイアス印加回路が電流加算回路からの電流および所定の基準電流を導通する内部増幅素子を有し、その内部増幅素子および高周波増幅部の複数の増幅素子がカレントミラー回路を構成する。

この発明に係る高周波増幅装置によれば、バイアス制御回路が、測定回路により測定された振幅に応じた値の電流を入力する電流減算回路と、電流減算回路へその電流を供給し、所定の基準電流とその電流との差に応じたバイアスを複数の増幅素子に印加するバイアス印加回路とを有する。このことによって、入力された高周波信号の振幅が小さくなるとバイアスを連続的に大きくすることができ、低出力電力時の利得低下を補償することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、バイアス制御回路が、測定回路が高周波信号の振幅を測定する際にその振幅に応じて導通する電流

の値を設定する検波調整回路を有する。このことによって、測定回路の動作条件を制御することができ、装置の調整を簡単に実行するという効果が得られる。

この発明に係る高周波増幅装置によれば、電流減算回路が、測定回路により測定された振幅に応じた値の電流を一端に導通し、その電流に応じて、カレントミラー回路の接合面積比および電源電圧に基づいて設定された電流を他端から入力するカレントミラー回路を有する。このことによって、カレントミラー回路の接合面積比および電源電圧を調整することにより入力された高周波信号の振幅に対するバイアス印加回路からの電流の特性を簡単に調整することができ、ひいては増幅素子に印加されるバイアスを簡単に調整することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、バイアス印加回路が電流減算回路への電流を所定の基準電流から減じた残りの電流を導通する内部増幅素子を有し、その内部増幅素子および高周波増幅部の複数の増幅素子がカレントミラー回路を構成する。

この発明に係る高周波増幅装置によれば、測定回路が高周波増幅部と並列に接続される。このことによって、高周波増幅部に供給される高周波信号を劣化させることなく、その高周波信号の振幅を測定することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、測定回路、電流加算回路および検波調整回路が高周波増幅部と並列に接続される。このことによって、測定回路、検波調整回路および電流加算回路を1チップの集積回路で実現することができ、装置の規模およびコストを低減することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、測定回路、電流減算回路および検波調整回路が高周波増幅部と並列に接続される。このことによっ

て、測定回路、検波調整回路および電流減算回路を1チップの集積回路で実現することができ、装置の規模およびコストを低減することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、測定回路が、高周波増幅部と直列に接続され、高周波信号を高周波増幅部へ透過させるとともに、その高周波信号を検波する検波回路を有する。このことによって、測定回路と高周波増幅部とに向けて高周波信号を分波するための分波器を別途設ける必要がなくなり、回路規模を低減することができるという効果が得られる。

この発明に係る高周波増幅装置は、入力された高周波信号を増幅する複数の増幅素子を有する高周波増幅部と、入力された高周波信号の振幅を測定する測定回路と、測定回路により測定された振幅の値に応じて連続的に、各増幅素子に印加されるバイアスをそれぞれ独立に制御する複数のバイアス制御回路とを備えるものである。このことによって、各増幅素子の周波数特性や物理特性などに応じて独立にバイアスを設定することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、各バイアス制御回路が、測定回路により測定された振幅に応じた値の電流を出力する電流加算回路と、電流加算回路からの電流および所定の基準電流の和に応じたバイアスを増幅素子に印加するバイアス印加回路とを有する。このことによって、各増幅素子のバイアスを独立して設定することができるので、低出力電力時の消費電力をより低減することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、各バイアス制御回路が、測定回路により測定された振幅に応じた値の電流を入力する電流減算回路と、電流減算回路へその電流を供給し、所定の基準電流とその電流との

差に応じたバイアスを増幅素子に印加するバイアス印加回路とを有する。

このことによって、各増幅素子のバイアスを独立して設定することができるので、低出力電力時の利得低下の補償をより適切に実行することができるという効果が得られる。

この発明に係る高周波増幅装置によれば、複数のバイアス制御回路のうちの前側の所定の段数のバイアス制御回路が、測定回路により測定された振幅に応じた値の電流を入力する電流減算回路と、電流減算回路へその電流を供給し、所定の基準電流とその電流との差に応じたバイアスを増幅素子に印加するバイアス印加回路とを有し、後側の残りのバイアス制御回路が、測定回路により測定された振幅に応じた値の電流を出力する電流加算回路と、電流加算回路からの電流および所定の基準電流の和に応じたバイアスを増幅素子に印加するバイアス印加回路とを有する。このことによって、低出力電力時において歪みの低減と消費電力の低減を両立することができるという効果が得られる。

図面の簡単な説明

第 1 図は、従来の高周波増幅装置の構成を示すブロック図である。

第 2 図は、この発明の実施の形態 1 による高周波増幅装置の構成を示すブロック図である。

第 3 図は、第 2 図における検波調整回路の構成例を示す回路図である。

第 4 図は、第 2 図における電流加算回路の構成例を示す回路図である。

第 5 図は、第 2 図におけるバイアス印加回路の構成例を示す回路図である。

第 6 図は、この発明の実施の形態 2 による高周波増幅装置の構成を示すブロック図である。

第 7 図は、第 6 図における検波調整回路および電流減算回路の構成を示す回路図である。

第 8 図は、この発明の実施の形態 3 による高周波増幅装置の構成を示すブロック図である。

第 9 図は、この発明の実施の形態 4 による高周波増幅装置の構成を示すブロック図である。

第 10 図は、この発明の実施の形態 5 による高周波増幅装置の構成を示すブロック図である。

第 11 図は、この発明の実施の形態 6 による高周波増幅装置の構成を示すブロック図である。

第 12 図は、第 11 図における検波回路の構成例を示す回路図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態 1.

第 2 図はこの発明の実施の形態 1 による高周波増幅装置の構成を示すブロック図である。図において、1 は入力端子であり、2 は N 段 ($N \geq 2$) のトランジスタ 12-1 ~ 12-N を有する高周波増幅部であり、3 は出力端子である。

高周波増幅部 2 において、11-1 ~ 11-N はトランジスタ 12-1 ~ 12-N の前段にそれぞれ設けられた整合回路であり、12-1 ~ 12-N は高周波信号を増幅する N 段のトランジスタ（増幅素子）であ

り、 $13-1 \sim 13-N$ はトランジスタ $12-1 \sim 12-N$ の出力に設けられたプルアップ回路であり、 14 は出力端子 3 の前段に設けられた整合回路である。

21 は入力信号を検波する例えばダイオードなどの検波回路であり、 22 は検波後の信号を平滑する例えばキャパシタなどの平滑回路である。なお、検波回路 21 および平滑回路 22 により、入力信号の振幅を測定する測定回路 27 が構成される。

23 は検波回路 21 および平滑回路 22 を導通する電流を調整する検波調整回路であり、 24 は検波調整回路 23 により調整された電流に基づき、入力信号の振幅に応じた値の電流をバイアス印加回路 25 に供給する電流加算回路であり、 25 は電流加算回路 24 からの電流を基準電流に加算して、その加算後の電流に応じたバイアスをトランジスタ $12-1 \sim 12-N$ のベースに印加するバイアス印加回路である。なお、検波調整回路 23 、電流加算回路 24 およびバイアス印加回路 25 により、バイアス制御回路 26 が構成される。

ここで、トランジスタ $12-1 \sim 12-N$ としてN型のバイポーラトランジスタを使用した場合の検波調整回路 23 、電流加算回路 24 およびバイアス印加回路 25 の構成例を示す。第3図は第2図における検波調整回路 23 の構成例を示す回路図であり、第4図は第2図における電流加算回路 24 の構成例を示す回路図であり、第5図は第2図におけるバイアス印加回路 25 の構成例を示す回路図である。

第3図に示す検波調整回路 23 において、 31 はN型トランジスタ 32 と平滑回路 22 との間に設けられた可変抵抗であり、 32 、 33 は一端が可変抵抗 31 に接続され、他端が電流加算回路 24 に接続されたカレントミラー回路を構成するN型トランジスタであり、 34 はN型トランジスタ 32 のコレクタおよびベース並びにN型トランジスタ 33 のベ

ースに接続された電源である。なお、カレントミラー回路では、トランジスタの接合面積の比と同一の比で一端および他端に電流が導通し、N型トランジスタによるカレントミラー回路では、一端および他端から電流が流入し、P型トランジスタによるカレントミラー回路では、一端および他端から電流が流出する。また、検波回路21は例えば第3図に示すようにダイオードDおよび抵抗Rで構成され、平滑回路22は例えば第3図に示すようにキャパシタCで構成される。なお、キャパシタCの容量値は高周波信号のチップレートなどに応じて設定される。このキャパシタCにより、検波後の信号が平滑されるとともに、バイアス制御回路26への高周波信号の流入が抑制される。

第4図に示す電流加算回路24において、41, 42は一端が検波調整回路23に接続され、他端がバイアス印加回路25に接続されたカレントミラー回路を構成するP型トランジスタであり、43はP型トランジスタ41, 42のエミッタに接続された電源である。

第5図に示すバイアス印加回路25において、51はコレクタを電流加算回路24に接続され、エミッタを接地されたN型トランジスタ（内部増幅素子）であり、52はN型トランジスタ51のコレクタと電源53との間に設けられた抵抗であり、53は電源であり、54はベースをN型トランジスタ51のコレクタに接続され、エミッタをN型トランジスタ51のベースに接続されたN型トランジスタであり、55はN型トランジスタ54のコレクタと電源53との間に設けられた抵抗であり、56はキャパシタであり、57はN型トランジスタ51のベースと高周波増幅部2のトランジスタ12-1～12-Nのベースとの間に設けられ、高周波増幅部2からの高周波信号の流入を抑制するインダクタである。なお、N型トランジスタ51は、高周波増幅部2のN型のトランジスタ12-1～12-Nとともにカレントミラー回路を構成する。

次に動作について説明する。

入力端子 1 を介して供給される高周波信号は高周波増幅部 2 のトランジスタ 12-1 ~ 12-N により増幅され、増幅後の高周波信号が出力端子 3 を介して出力される。

一方、検波回路 21 は、入力端子 1 を介して供給される高周波信号を検波し、その検波後の信号を平滑回路 22 に供給する。平滑回路 22 はその信号を平滑する。なお、平滑回路 22 に接続された検波調整回路 23 により、検波回路 21 および平滑回路 22 を導通する電流が調整される。電流加算回路 24 は、検波調整回路 23 により調整された電流に基づき、入力信号の振幅に応じた値の電流をバイアス印加回路 25 に供給する。バイアス印加回路 25 は、電流加算回路 24 からの電流を基準電流に加算して、その加算後の電流に応じたバイアスをトランジスタ 12-1 ~ 12-N のベースに印加する。したがって、入力信号の振幅が大きくなると加算後の電流は大きくなり、トランジスタ 12-1 ~ 12-N のベースに印加されるバイアスは大きくなる。一方、入力信号の振幅が小さくなると加算後の電流は小さくなり、トランジスタ 12-1 ~ 12-N のベースに印加されるバイアスは小さくなる。

ここで、各部を第 3 図～第 5 図に示すように構成した場合の動作について説明する。

まず、検波回路 21 および平滑回路 22 により入力信号の電圧振幅が抽出され、可変抵抗 31 の抵抗値および電源 34 の電圧に基づき、その入力信号の電圧振幅に対応する電流がカレントミラー回路の N 型トランジスタ 32 に導通する。したがって、その電流に、N 型トランジスタ 32, 33 の接合面積比を乗じた値の電流がカレントミラー回路の N 型トランジスタ 33 に導通する（第 3 図）。

そして、その N 型トランジスタ 33 に接続された、電流加算回路 24

におけるカレントミラー回路のP型トランジスタ41にも同一の電流が導通する。したがって、その電流に、P型トランジスタ41、42の接合面積比を乗じた値の電流がカレントミラー回路のP型トランジスタ42に導通する（第4図）。

バイアス印加回路25では、電流加算回路24からの電流がない場合において、電源53の電圧、抵抗52の抵抗値およびN型トランジスタ54のエミッターベース電圧により、N型トランジスタ51の基準バイアスが決定され、それに対応する基準電流が、コレクターエミッタ間を導通している。そして、電流加算回路24からの電流があると、その電流は基準電流に加算されて、バイアス印加回路25のN型トランジスタ51のコレクタに流入する。このエミッターコレクタ間電流の変化に応じてN型トランジスタ51のベースに印加されるバイアスも変化する。このN型トランジスタ51は、高周波増幅部2のトランジスタ12-1～12-Nとともにカレントミラー回路を構成しているので、高周波増幅部2のトランジスタ12-1～12-Nのベースに印加されるバイアスも同様に変化する（第5図）。

このように、検波回路21、平滑回路22、検波調整回路23、電流加算回路24およびバイアス印加回路25により、入力信号の振幅に応じて高周波増幅部2のトランジスタ12-1～12-Nのバイアスが連続的に調整される。

以上のように、この実施の形態1によれば、入力された高周波信号を増幅する複数のトランジスタ12-1～12-Nを有する高周波増幅部2と、入力された高周波信号の振幅を測定する測定回路27と、測定回路27により測定された振幅の値に応じて連続的に、トランジスタ12-1～12-Nに印加されるバイアスを制御するバイアス制御回路26とを備えるようにしたので、入力された高周波信号の振幅の変化に応じ

て発生する急峻な利得変動を抑制することができるという効果が得られる。

また、この実施の形態 1 によれば、バイアス制御回路 26 が複数のトランジスタ 12-1 ~ 12-N に印加されるバイアスを一括して制御するので、回路規模を低減することができるという効果が得られる。

さらに、この実施の形態 1 によれば、バイアス制御回路 26 が、測定回路 27 により測定された振幅に応じた値の電流を出力する電流加算回路 24 と、電流加算回路 24 からの電流および所定の基準電流の和に応じたバイアスをトランジスタ 12-1 ~ 12-N に印加するバイアス印加回路 25 とを有するので、入力された高周波信号の振幅が小さくなるとバイアスを連続的に小さくすることができ、低出力電力時の消費電力をより低減することができるという効果が得られる。

さらに、この実施の形態 1 によれば、バイアス制御回路 26 が、測定回路 27 が高周波信号の振幅を測定する際にその振幅に応じて導通する電流の値を設定する検波調整回路 23 を有するので、測定回路 27 の動作条件（検波回路 21 を構成するダイオードの動作点）を制御することができ、装置の調整を簡単に実行するという効果が得られる。

さらに、この実施の形態 1 によれば、電流加算回路 24 は、測定回路により測定された振幅に応じた値の電流を一端に導通し、その電流に応じて、カレントミラー回路の接合面積比および電源電圧に基づいて設定された電流を他端から出力するカレントミラー回路を有するので、カレントミラー回路の接合面積比および電源電圧を調整することにより入力された高周波信号の振幅に対するバイアス印加回路 25 への電流の特性を簡単に調整することができ、ひいてはトランジスタ 12-1 ~ 12-N に印加されるバイアスを簡単に調整することができるという効果が得られる。

さらに、この実施の形態 1 によれば、測定回路 2 7 が高周波増幅部 2 と並列に接続されるようにしたので、高周波増幅部 2 に供給される高周波信号を劣化させることなく、その高周波信号の振幅を測定することができるという効果が得られる。

さらに、この実施の形態 1 によれば、測定回路 2 7、検波調整回路 2 3 および電流加算回路 2 4 が高周波増幅部と並列に接続されるようにしたので、測定回路 2 7、検波調整回路 2 3 および電流加算回路 2 4 を 1 チップの集積回路で実現することができ、装置の規模およびコストを低減することができるという効果が得られる。

実施の形態 2 .

第 6 図はこの発明の実施の形態 2 による高周波増幅装置の構成を示すブロック図である。図において、6 1 は検波回路 2 1 および平滑回路 2 2 を導通する電流を調整する検波調整回路であり、6 2 は検波調整回路 2 3 により調整された電流に基づき、入力信号の振幅に応じた値の電流をバイアス印加回路 2 5 から供給させる電流減算回路である。なお、検波調整回路 6 1、電流減算回路 6 2 およびバイアス印加回路 2 5 により、バイアス制御回路 6 3 が構成される。

なお、第 6 図におけるその他の構成要素については実施の形態 1 によるものと同様であるので、その説明を省略する。ただし、バイアス印加回路 2 5 は、電流減算回路 6 2 への電流を基準電流から減算して、その減算後の残りの電流に応じたバイアスをトランジスタ 1 2 - 1 ~ 1 2 - N のベースに印加する。

ここで、トランジスタ 1 2 - 1 ~ 1 2 - N として N 型のバイポーラトランジスタを使用した場合の検波調整回路 6 1 および電流減算回路 6 2 の構成例を示す。第 7 図は第 6 図における検波調整回路 6 1 および電流

減算回路 6 2 の構成を示す回路図である。図において、7 1 は可変抵抗であり、7 2 は電源である。8 1, 8 2 は一端を検波調整回路 6 1 に接続され、他端をバイアス印加回路 2 5 に接続されたカレントミラー回路を構成する N 型トランジスタである。なお、この場合のバイアス印加回路 2 5 は第 5 図に示すものを使用することができる。

次に動作について説明する。

高周波増幅部 2 については実施の形態 1 によるものと同様に動作するので、その説明を省略する。

検波回路 2 1 は、入力端子 1 を介して供給される高周波信号を検波し、その検波後の信号を平滑回路 2 2 に供給する。平滑回路 2 2 はその信号を平滑する。なお、平滑回路 2 2 に接続された検波調整回路 6 1 により、検波回路 2 1 および平滑回路 2 2 を導通する電流が調整される。電流減算回路 6 2 は、検波調整回路 6 1 により調整された電流に基づき、入力信号の振幅に応じた値の電流をバイアス印加回路 2 5 から供給させる。バイアス印加回路 2 5 は、電流減算回路 6 2 への電流を基準電流から減算して、その減算後の残りの電流に応じたバイアスをトランジスタ 1 2 - 1 ~ 1 2 - N のベースに印加する。したがって、入力信号の振幅が大きくなると減算後の残りの電流は小さくなり、トランジスタ 1 2 - 1 ~ 1 2 - N のベースに印加されるバイアスは小さくなる。一方、入力信号の振幅が小さくなると減算後の残りの電流は大きくなり、トランジスタ 1 2 - 1 ~ 1 2 - N のベースに印加されるバイアスは大きくなる。

ここで、各部を第 5 図および第 7 図に示すように構成した場合の動作について説明する。

まず、検波回路 2 1 および平滑回路 2 2 により入力信号の電圧振幅が抽出され、可変抵抗 7 1 の抵抗値および電源 7 2 の電圧に基づき、その入力信号の電圧振幅に対応する電流が、電流減算回路 6 2 におけるカレ

ントミラー回路のN型トランジスタ81に導通する。したがって、その電流に、N型トランジスタ81、82の接合面積比を乗じた値の電流がカレントミラー回路のN型トランジスタ82に導通する（第7図）。このとき、N型トランジスタ82に導通する電流は、バイアス印加回路25から電流減算回路62へと導通する。

バイアス印加回路25では、電流減算回路62への電流がない場合において、電源53の電圧、抵抗52の抵抗値およびN型トランジスタ54のエミッターベース電圧により、N型トランジスタ51の基準バイアスが決定され、それに対応する基準電流が、コレクターエミッタ間を導通している。そして、電流減算回路62への電流があると、その電流が基準電流から減算され、減算後の残りの電流がバイアス印加回路25のN型トランジスタ51のコレクタに流入する。このエミッターコレクタ間電流の変化に応じてN型トランジスタ51のベースに印加されるバイアスも変化する。このN型トランジスタ51は、高周波増幅部2のトランジスタ12-1～12-Nとともにカレントミラー回路を構成しているので、高周波増幅部2のトランジスタ12-1～12-Nのベースに印加されるバイアスも同様に変化する（第5図）。

このように、検波回路21、平滑回路22、検波調整回路61、電流減算回路62およびバイアス印加回路25により、入力信号の振幅に応じて高周波増幅部2のトランジスタ12-1～12-Nのバイアスが連続的に調整される。

以上のように、この実施の形態2によれば、入力された高周波信号を増幅する複数のトランジスタ12-1～12-Nを有する高周波増幅部2と、入力された高周波信号の振幅を測定する測定回路27と、測定回路27により測定された振幅の値に応じて連続的に、トランジスタ12-1～12-Nに印加されるバイアスを制御するバイアス制御回路63

とを備えるようにしたので、入力された高周波信号の振幅の変化に応じて発生する急峻な利得変動を抑制することができるという効果が得られる。

また、この実施の形態 2 によれば、バイアス制御回路 6 3 が複数のトランジスタ $12-1 \sim 12-N$ に印加されるバイアスを一括して制御するので、回路規模を低減することができるという効果が得られる。

さらに、この実施の形態 2 によれば、バイアス制御回路 6 3 が、測定回路 2 7 により測定された振幅に応じた値の電流を入力する電流減算回路 6 2 と、電流減算回路へその電流を供給し、所定の基準電流とその電流との差に応じたバイアスを複数の増幅素子に印加するバイアス印加回路 2 5 とを有するので、入力された高周波信号の振幅が小さくなるとバイアスを連続的に大きくすることができ、低出力電力時の利得低下を補償することができるという効果が得られる。すなわち、トランジスタ $12-1 \sim 12-N$ に使用される素子の種類に応じて、低出力電力時の利得低下の補償が必要な場合にはバイアス制御回路 6 3 を使用し、低出力電力時の消費電力の低減が必要な場合にはバイアス制御回路 2 6 を使用する。

さらに、この実施の形態 2 によれば、バイアス制御回路 6 3 が、測定回路 2 7 が高周波信号の振幅を測定する際にその振幅に応じて導通する電流の値を設定する検波調整回路 6 1 を有するようにしたので、測定回路 2 7 の動作条件（検波回路 2 1 を構成するダイオードの動作点）を制御することができ、装置の調整を簡単に実行するという効果が得られる。

さらに、この実施の形態 2 によれば、電流減算回路 6 2 が、測定回路 2 7 により測定された振幅に応じた値の電流を一端に導通し、その電流に応じて、カレントミラー回路の接合面積比および電源電圧に基づいて

設定された電流を他端から入力するカレントミラー回路を有するので、カレントミラー回路の接合面積比および電源電圧を調整することにより入力された高周波信号の振幅に対するバイアス印加回路 25 からの電流の特性を簡単に調整することができ、ひいてはトランジスタ $12-1 \sim 12-N$ に印加されるバイアスを簡単に調整することができるという効果が得られる。

さらに、この実施の形態 2 によれば、測定回路 27 が高周波増幅部 2 と並列に接続されるようにしたので、高周波増幅部 2 に供給される高周波信号を劣化させることなく、その高周波信号の振幅を測定することができるという効果が得られる。

さらに、この実施の形態 2 によれば、測定回路 27、検波調整回路 61 および電流減算回路 62 が高周波増幅部 2 と並列に接続されるようにしたので、測定回路 27、検波調整回路 61 および電流減算回路 62 を 1 チップの集積回路で実現することができ、装置の規模およびコストを低減することができるという効果が得られる。

実施の形態 3.

第 8 図はこの発明の実施の形態 3 による高周波増幅装置の構成を示すブロック図である。この実施の形態 3 による高周波増幅装置では、N 個のバイアス制御回路 26 が N 個のトランジスタ $12-1 \sim 12-N$ にそれぞれ接続されている。なお、第 8 図におけるその他の構成および各バイアス制御回路 63 の構成については実施の形態 1 によるものと同様であるので、その説明を省略する。

次に動作について説明する。

この実施の形態 3 による高周波増幅装置では、各段に設けられたバイアス制御回路 26 により、各トランジスタ $12-i$ ($i = 1, \dots,$

N) のバイアスがそれぞれ独立に印加される。この際、例えば各トランジスタ 12-i の周波数特性や物理特性などを考慮して各バイアスが設定されるようにする。なお、各部の動作については実施の形態 1 によるものと同様であるので、その説明を省略する。

以上のように、この実施の形態 3 によれば、入力された高周波信号を増幅する複数のトランジスタ 12-1 ~ 12-N を有する高周波増幅部 2 と、入力された高周波信号の振幅を測定する測定回路 27 と、測定回路 27 により測定された振幅の値に応じて連続的に、各トランジスタ 12-i に印加されるバイアスをそれぞれ独立に制御する複数のバイアス制御回路 26 とを備えるようにしたので、各トランジスタ 12-i の周波数特性や物理特性などに応じて独立にバイアスを設定することができるという効果が得られる。

また、この実施の形態 3 によれば、各バイアス制御回路 26 が、測定回路 27 により測定された振幅に応じた値の電流を出力する電流加算回路 24 と、電流加算回路 24 からの電流および所定の基準電流の和に応じたバイアスをトランジスタ 12-1 ~ 12-N のいずれかに印加するバイアス印加回路 25 とを有するので、実施の形態 1 による効果と同様の効果が得られるとともに、各トランジスタ 12-i のバイアスを独立して設定することができ、低出力電力時の消費電力をより低減することができるという効果が得られる。

実施の形態 4 .

第 9 図はこの発明の実施の形態 4 による高周波増幅装置の構成を示すブロック図である。この実施の形態 4 による高周波増幅装置では、N 個のバイアス制御回路 63 が N 個のトランジスタ 12-1 ~ 12-N にそれぞれ接続されている。なお、第 9 図におけるその他の構成および各バ

バイアス制御回路 63 の構成については実施の形態 2 によるものと同様であるので、その説明を省略する。

次に動作について説明する。

この実施の形態 4 による高周波増幅装置では、各段に設けられたバイアス制御回路 63 により、各トランジスタ $12-i$ ($i=1, \dots, N$) のバイアスがそれぞれ独立に印加される。この際、例えば各トランジスタ $12-i$ の周波数特性や物理特性などを考慮して、各バイアスが設定される。なお、各部の動作については実施の形態 2 によるものと同様であるので、その説明を省略する。

以上のように、この実施の形態 4 によれば、入力された高周波信号を増幅する複数のトランジスタ $12-1 \sim 12-N$ を有する高周波増幅部 2 と、入力された高周波信号の振幅を測定する測定回路 27 と、測定回路 27 により測定された振幅の値に応じて連続的に、各トランジスタ $12-i$ に印加されるバイアスをそれぞれ独立に制御する複数のバイアス制御回路 63 とを備えるようにしたので、各トランジスタ $12-i$ の周波数特性や物理特性などに応じて独立にバイアスを設定することができるという効果が得られる。

また、この実施の形態 4 によれば、各バイアス制御回路 63 が、測定回路 27 により測定された振幅に応じた値の電流を入力する電流減算回路 62 と、電流減算回路 62 へその電流を供給し、所定の基準電流とその電流との差に応じたバイアスを増幅素子に印加するバイアス印加回路 25 とを有するので、実施の形態 2 による効果と同様の効果が得られるとともに、各トランジスタ $12-i$ のバイアスを独立して設定することができ、低出力電力時の利得低下の補償をより適切に実行することができるという効果が得られる。

実施の形態 5 .

第 10 図はこの発明の実施の形態 5 による高周波増幅装置の構成を示すブロック図である。この実施の形態 5 による高周波増幅装置では、合計 N 個のバイアス制御回路 26 およびバイアス制御回路 63 が N 個のトランジスタ $12-1 \sim 12-N$ にそれぞれ接続されている。なお、第 10 図におけるその他の構成および各バイアス制御回路 26, 63 の構成については実施の形態 1 または実施の形態 2 によるものと同様であるので、その説明を省略する。

なお、第 10 図においては、第 1 段目にバイアス制御回路 63 を使用し、第 $(N-1)$ 段目および第 N 段目にバイアス制御回路 26 を使用しているが、これらの組み合わせについては特にこのように限定されるものではなく、何個ずつバイアス制御回路 26 とバイアス制御回路 63 とを使用してもよい。

次に動作について説明する。

この実施の形態 5 による高周波増幅装置では、前側の所定の M 段のトランジスタ $12-1 \sim 12-M$ に対してバイアス制御回路 63 が設けられ、残りの $(N-M)$ 段のトランジスタ $12-(M+1) \sim 12-N$ に対してバイアス制御回路 26 が設けられる。これにより、各トランジスタ $12-i$ ($i=1, \dots, N$) のバイアスがそれぞれ独立に印加される。この際、例えば各トランジスタ $12-i$ の周波数特性や物理特性などを考慮して、各バイアスが設定される。なお、各部の動作については実施の形態 1 または実施の形態 2 によるものと同様であるので、その説明を省略する。

以上のように、この実施の形態 5 によれば、複数のバイアス制御回路 26, 63 のうちの前側の所定の段数のバイアス制御回路 63 が、測定回路 27 により測定された振幅に応じた値の電流を入力する電流減算回

路 6 2 と、電流減算回路 6 2 へその電流を供給し、所定の基準電流とその電流との差に応じたバイアスをトランジスタ 1 2 - i (i = 1 , . . . , M) に印加するバイアス印加回路 2 5 とを有し、後側の残りのバイアス制御回路 2 6 が、測定回路 2 7 により測定された振幅に応じた値の電流を出力する電流加算回路 2 4 と、電流加算回路 2 4 からの電流および所定の基準電流の和に応じたバイアスをトランジスタ 1 2 - i (i = M + 1 , . . . , N) に印加するバイアス印加回路 2 5 とを有するので、低出力電力時において、例えばドライバとしてのトランジスタ 1 2 - 1 ~ 1 2 - M については利得低下を補償し、例えば電力増幅器としてのトランジスタ 1 2 - (M + 1) ~ 1 2 - N については消費電力を低減して、歪みの低減と消費電力を低減を両立することができるという効果が得られる。

実施の形態 6 .

第 1 1 図はこの発明の実施の形態 6 による高周波増幅装置の構成を示すブロック図であり、第 1 2 図は第 1 1 図における検波回路 9 1 の構成例を示す回路図である。図において、9 1 は高周波信号を高周波増幅部 2 へ透過させるとともに、高周波信号を検波する検波回路である。検波回路 9 1 において、1 0 1 は入力端子 1 に接続され、高周波信号を透過させるとともに直流成分などを抑制するキャパシタであり、1 0 2 は高周波増幅部 2 に接続され、高周波信号を透過させるとともに直流成分などを抑制するキャパシタであり、1 0 3 は検波用のダイオードであり、1 0 4 は平滑回路 2 2 への高周波成分を抑制するインダクタである。なお、第 1 1 図におけるその他の構成要素については実施の形態 1 によるものと同様であるので、その説明を省略する。

次に動作について説明する。

検波回路 9 1 では、入力された高周波信号は、キャパシタ 1 0 1 , 1 0 2 を介して高周波増幅部 2 に供給される。なお、この際、入力された高周波信号は、インダクタ 1 0 4 により遮断され、平滑回路 2 2 には供給されない。一方、入力された高周波信号のうち、ダイオード 1 0 3 により検波された成分は、低周波であるので、インダクタ 1 0 4 を介して平滑回路 2 2 に供給される。なお、その他の動作については実施の形態 1 によるものと同様であるので、その説明を省略する。

以上のように、この実施の形態 6 によれば、検波回路 9 1 が、高周波増幅部 2 と直列に接続され、高周波信号を高周波増幅部 2 へ透過させるとともに、その高周波信号を検波するようにしたので、測定回路 2 7 と高周波増幅部 2 とに向けて高周波信号を分波するための分波器を別途設ける必要がなくなり、回路規模を低減することができるという効果が得られる。なお、この実施の形態 6 は、実施の形態 1 における検波回路 2 1 を検波回路 9 1 に変更したものであるが、実施の形態 2 ～ 5 における検波回路 2 1 を検波回路 9 1 に変更するようにしてもよい。その場合にも同様の効果が得られる。

なお、上記実施の形態では、高周波増幅部 2 の増幅素子の一例として N 型のバイポーラトランジスタを使用した場合を説明しているが、高周波増幅部 2 の増幅素子としては、例えば電界効果トランジスタなどの他の型のトランジスタなどを使用することも可能である。ただし、その場合には、バイアス制御回路 2 6 , 6 3 の内部回路構成をそれに応じて変更する。

産業上の利用可能性

以上のように、例えば高周波信号を送受する通信機において、高周波信号を増幅するのに適している。

請 求 の 範 囲

1. 高周波信号を複数段の増幅素子で増幅する高周波増幅装置において、

入力された高周波信号を増幅する複数の増幅素子を有する高周波増幅部と、

前記入力された高周波信号の振幅を測定する測定回路と、

前記測定回路により測定された前記振幅の値に応じて連続的に、前記増幅素子に印加されるバイアスを制御するバイアス制御回路と

を備えることを特徴とする高周波増幅装置。

2. バイアス制御回路は、測定回路により測定された振幅に応じた値の電流を出力する電流加算回路と、前記電流加算回路からの電流および所定の基準電流の和に応じたバイアスを複数の増幅素子に印加するバイアス印加回路とを有する

ことを特徴とする請求の範囲第1項記載の高周波増幅装置。

3. バイアス制御回路は、測定回路が高周波信号の振幅を測定する際にその振幅に応じて導通する電流の値を設定する検波調整回路を有する

ことを特徴とする請求の範囲第2項記載の高周波増幅装置。

4. 電流加算回路は、測定回路により測定された振幅に応じた値の電流を一端に導通し、その電流に応じて、前記カレントミラー回路の接合面積比および電源電圧に基づいて設定された電流を他端から出力するカレントミラー回路を有する

ことを特徴とする請求の範囲第2項記載の高周波増幅装置。

5. バイアス印加回路は、電流加算回路からの電流および所定の基準電流を導通する内部増幅素子を有し、

前記内部増幅素子および高周波増幅部の複数の増幅素子はカレントミラー回路を構成する

ことを特徴とする請求の範囲第2項記載の高周波増幅装置。

6. バイアス制御回路は、測定回路により測定された振幅に応じた値の電流を入力する電流減算回路と、前記電流減算回路へその電流を供給し、所定の基準電流とその電流との差に応じたバイアスを複数の増幅素子に印加するバイアス印加回路とを有する

ことを特徴とする請求の範囲第1項記載の高周波増幅装置。

7. バイアス制御回路は、測定回路が高周波信号の振幅を測定する際にその振幅に応じて導通する電流の値を設定する検波調整回路を有する

ことを特徴とする請求の範囲第6項記載の高周波増幅装置。

8. 電流減算回路は、測定回路により測定された振幅に応じた値の電流を一端に導通し、その電流に応じて、前記カレントミラー回路の接合面積比および電源電圧に基づいて設定された電流を他端から入力するカレントミラー回路を有する

ことを特徴とする請求の範囲第6項記載の高周波増幅装置。

9. バイアス印加回路は、電流減算回路への電流を所定の基準電流から減じた残りの電流を導通する内部増幅素子を有し、

前記内部増幅素子および高周波増幅部の複数の増幅素子はカレントミ

ラー回路を構成する

ことを特徴とする請求の範囲第 6 項記載の高周波増幅装置。

1 0 . 測定回路は、高周波増幅部と並列に接続される

ことを特徴とする請求の範囲第 1 項記載の高周波増幅装置。

1 1 . 測定回路、電流加算回路および検波調整回路は、高周波増幅部と並列に接続される

ことを特徴とする請求の範囲第 3 項記載の高周波増幅装置。

1 2 . 測定回路、電流減算回路および検波調整回路は、高周波増幅部と並列に接続される

ことを特徴とする請求の範囲第 7 項記載の高周波増幅装置。

1 3 . 測定回路は、高周波増幅部と直列に接続され、高周波信号を高周波増幅部へ透過させるとともに、その高周波信号を検波する検波回路を有する

ことを特徴とする請求の範囲第 1 項記載の高周波増幅装置。

1 4 . 高周波信号を複数段の増幅素子で増幅する高周波増幅装置において、

入力された高周波信号を増幅する複数の増幅素子を有する高周波増幅部と、

前記入力された高周波信号の振幅を測定する測定回路と、

前記測定回路により測定された前記振幅の値に応じて連続的に、各増幅素子に印加されるバイアスをそれぞれ独立に制御する複数のバイアス

制御回路と

を備えることを特徴とする高周波増幅装置。

15. 各バイアス制御回路は、測定回路により測定された振幅に応じた値の電流を出力する電流加算回路と、前記電流加算回路からの電流および所定の基準電流の和に応じたバイアスを増幅素子に印加するバイアス印加回路とを有する

ことを特徴とする請求の範囲第14項記載の高周波増幅装置。

16. 各バイアス制御回路は、測定回路により測定された振幅に応じた値の電流を入力する電流減算回路と、前記電流減算回路へその電流を供給し、所定の基準電流とその電流との差に応じたバイアスを増幅素子に印加するバイアス印加回路とを有する

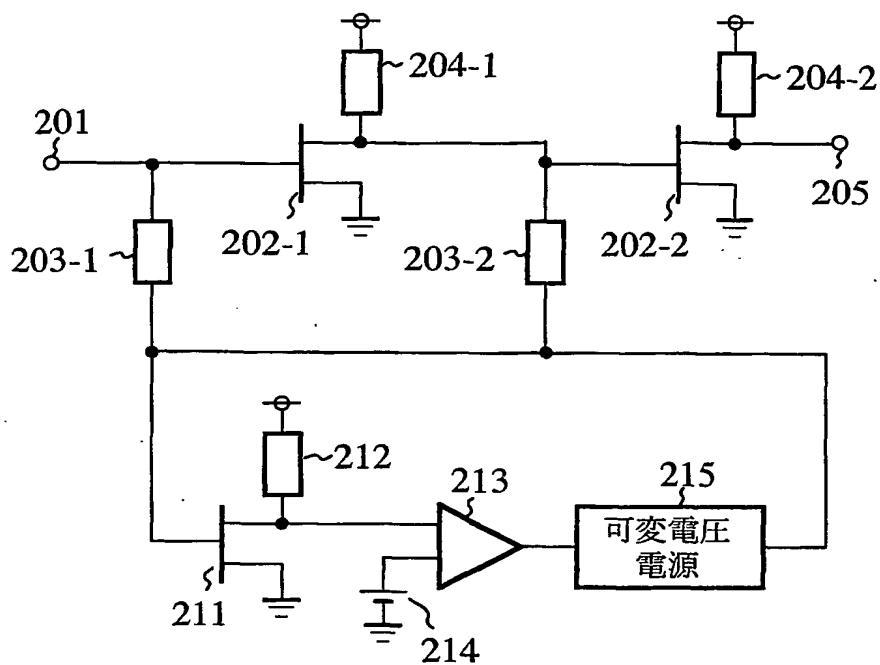
ことを特徴とする請求の範囲第14項記載の高周波増幅装置。

17. 複数のバイアス制御回路のうちの前側の所定の段数のバイアス制御回路は、測定回路により測定された振幅に応じた値の電流を入力する電流減算回路と、前記電流減算回路へその電流を供給し、所定の基準電流とその電流との差に応じたバイアスを増幅素子に印加するバイアス印加回路とを有し、

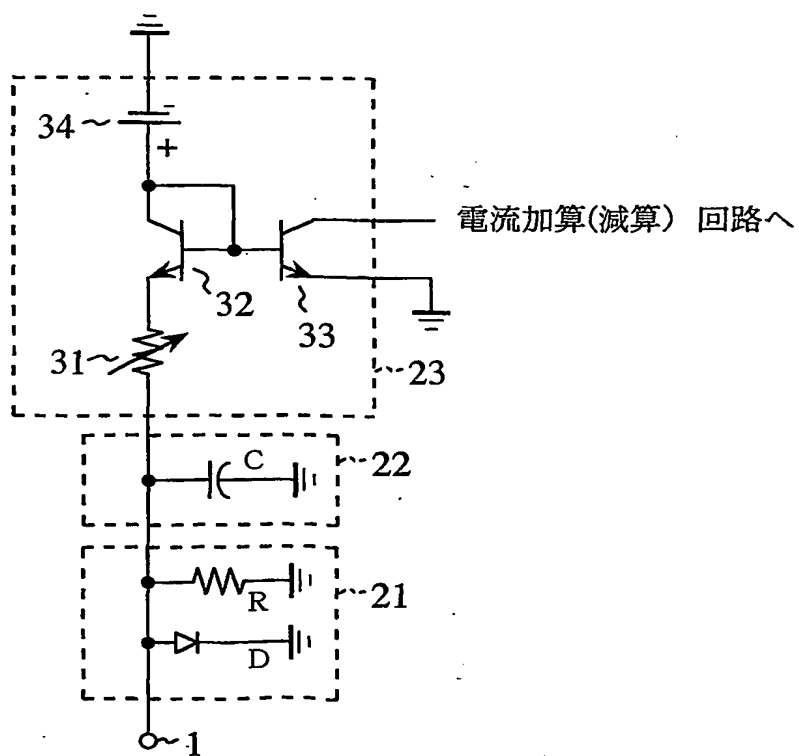
後側の残りのバイアス制御回路は、前記測定回路により測定された振幅に応じた値の電流を出力する電流加算回路と、前記電流加算回路からの電流および所定の基準電流の和に応じたバイアスを増幅素子に印加するバイアス印加回路とを有する

ことを特徴とする請求の範囲第14項記載の高周波増幅装置。

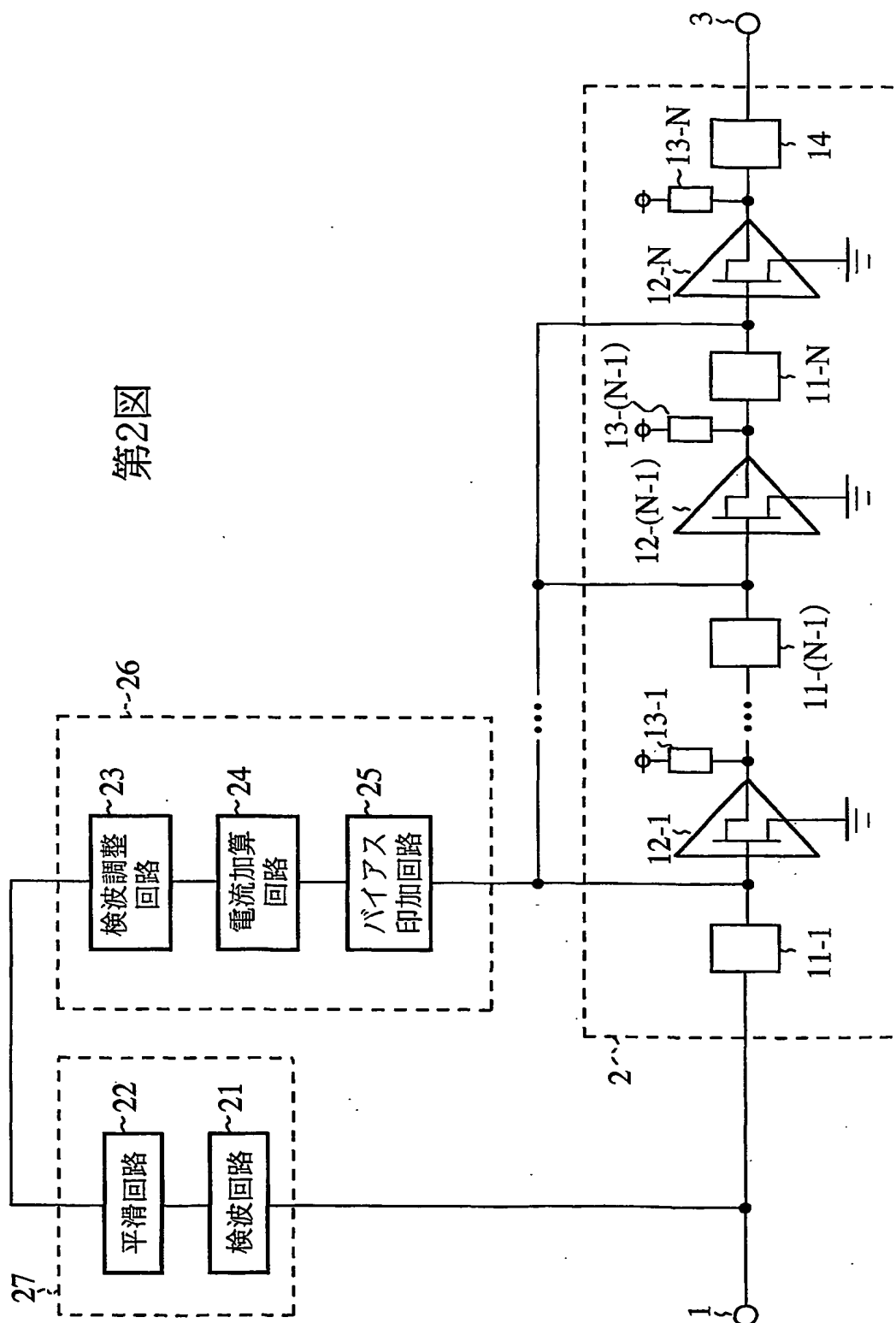
第1図



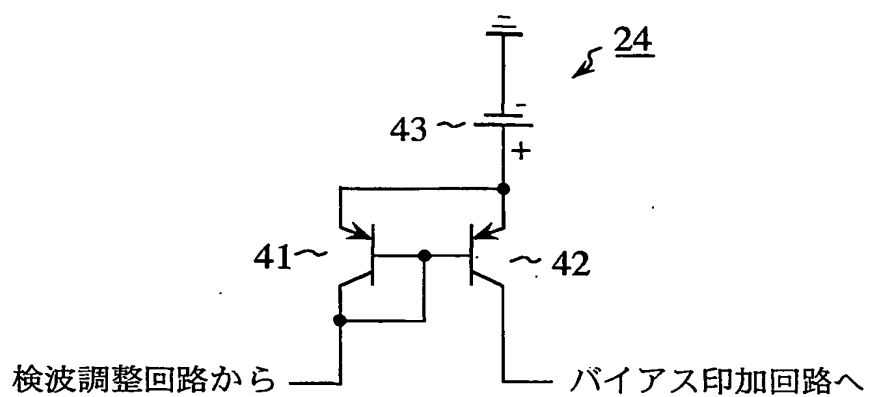
第3図



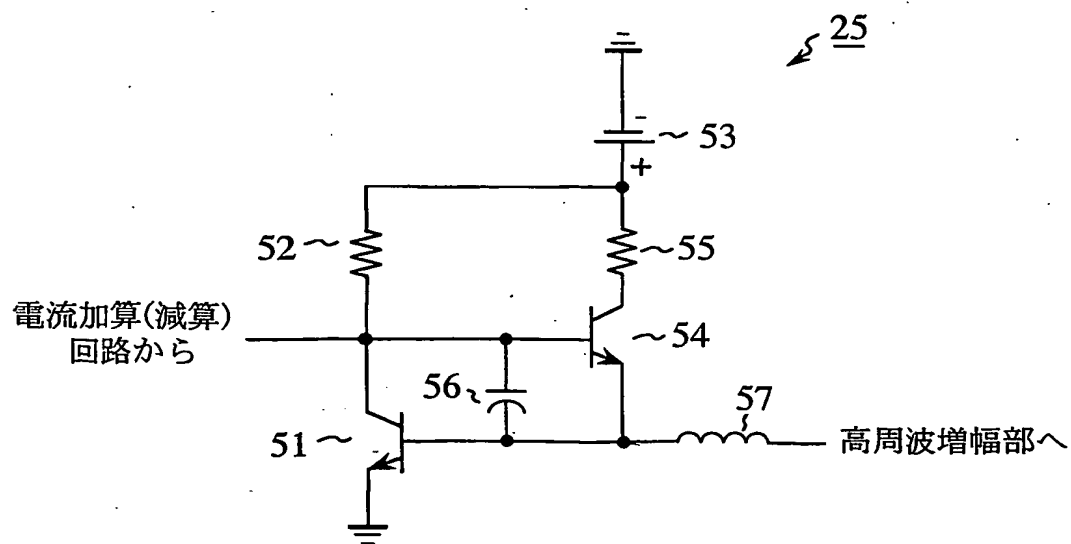
第2図



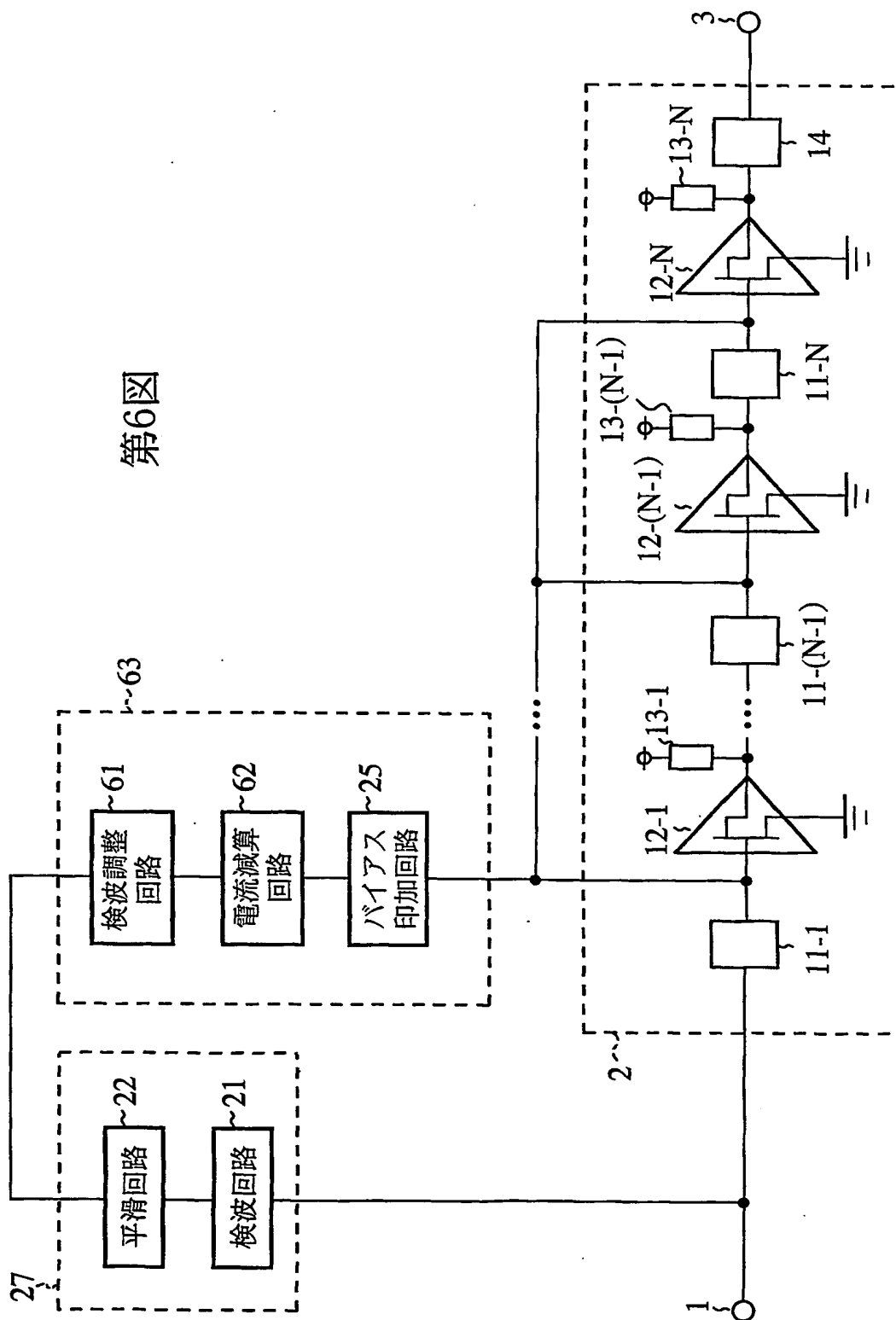
第4図



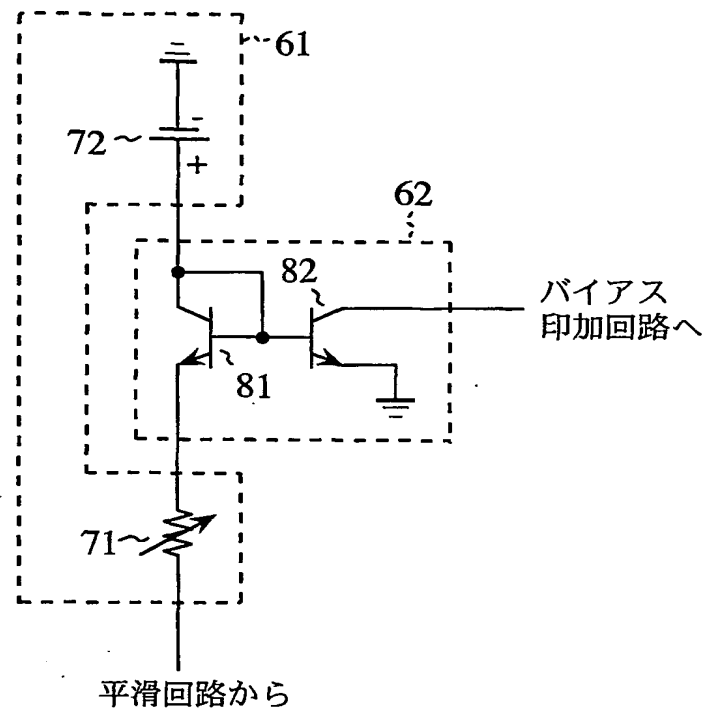
第5図



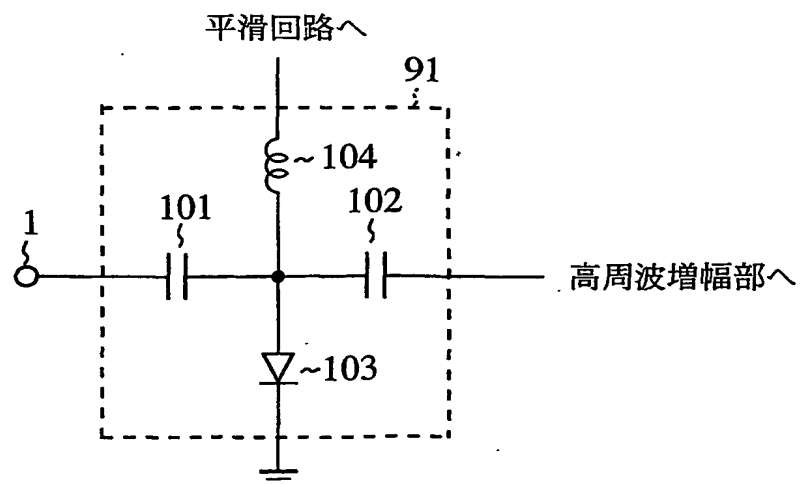
第6図



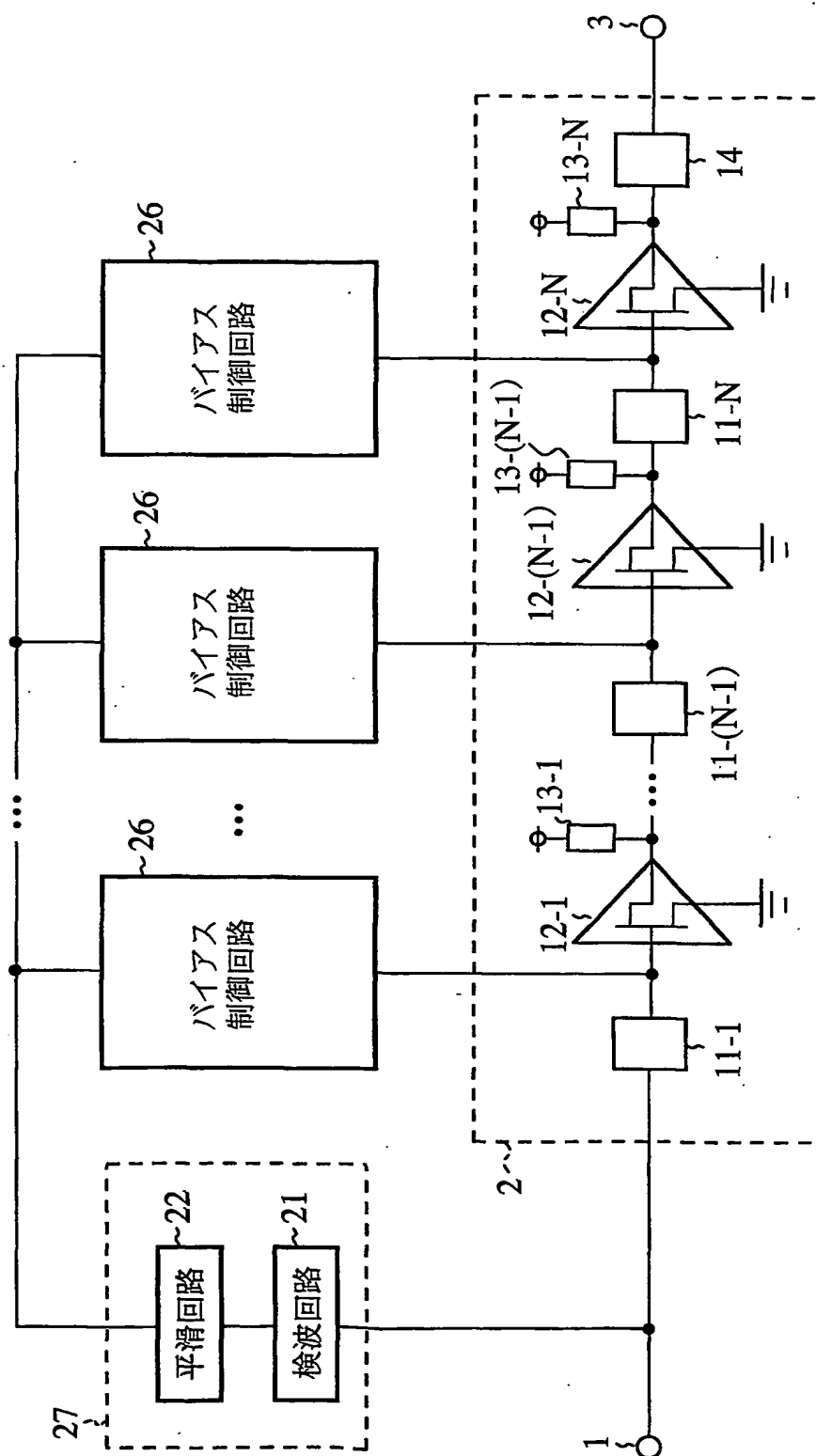
第7図



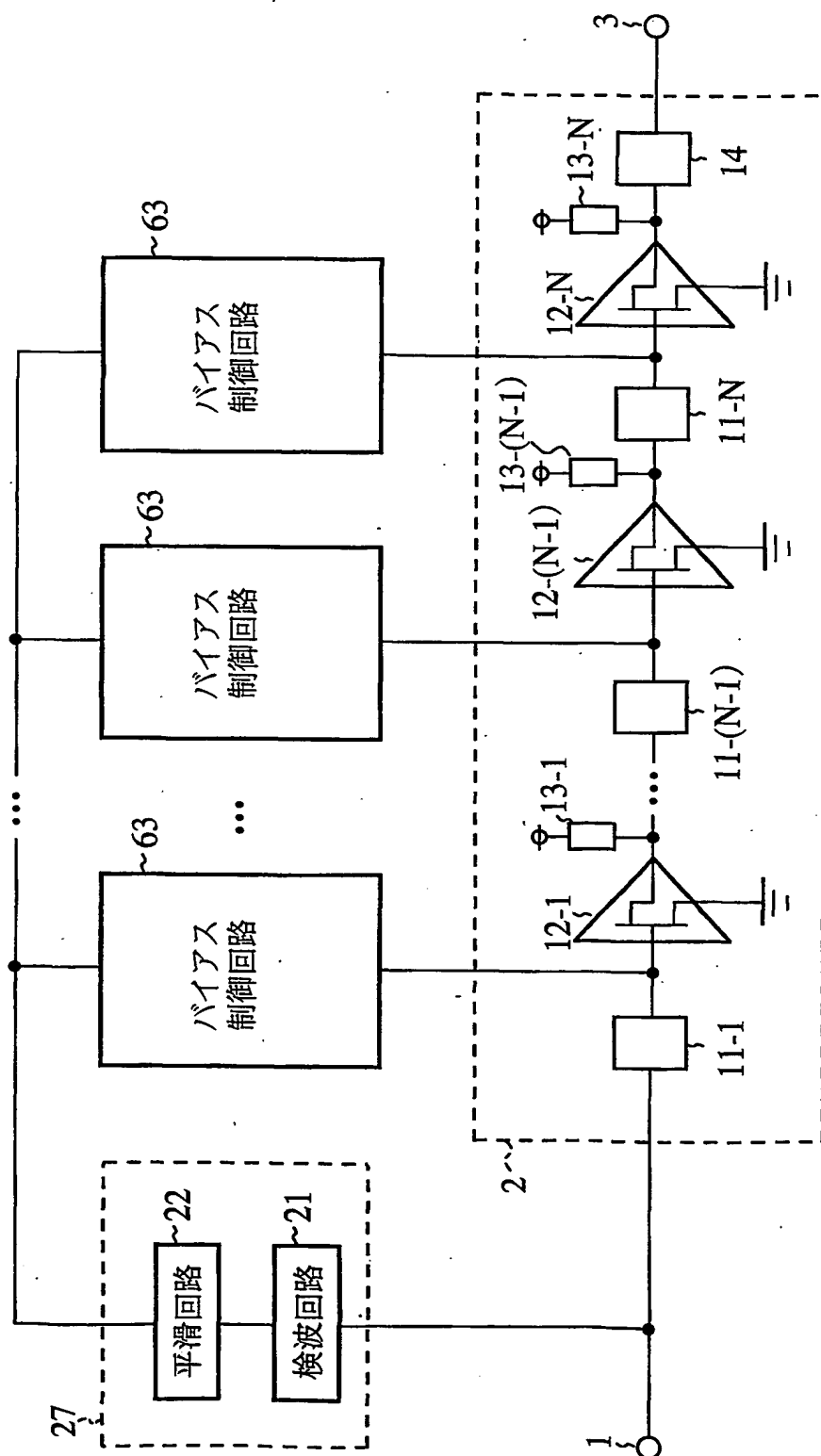
第12図



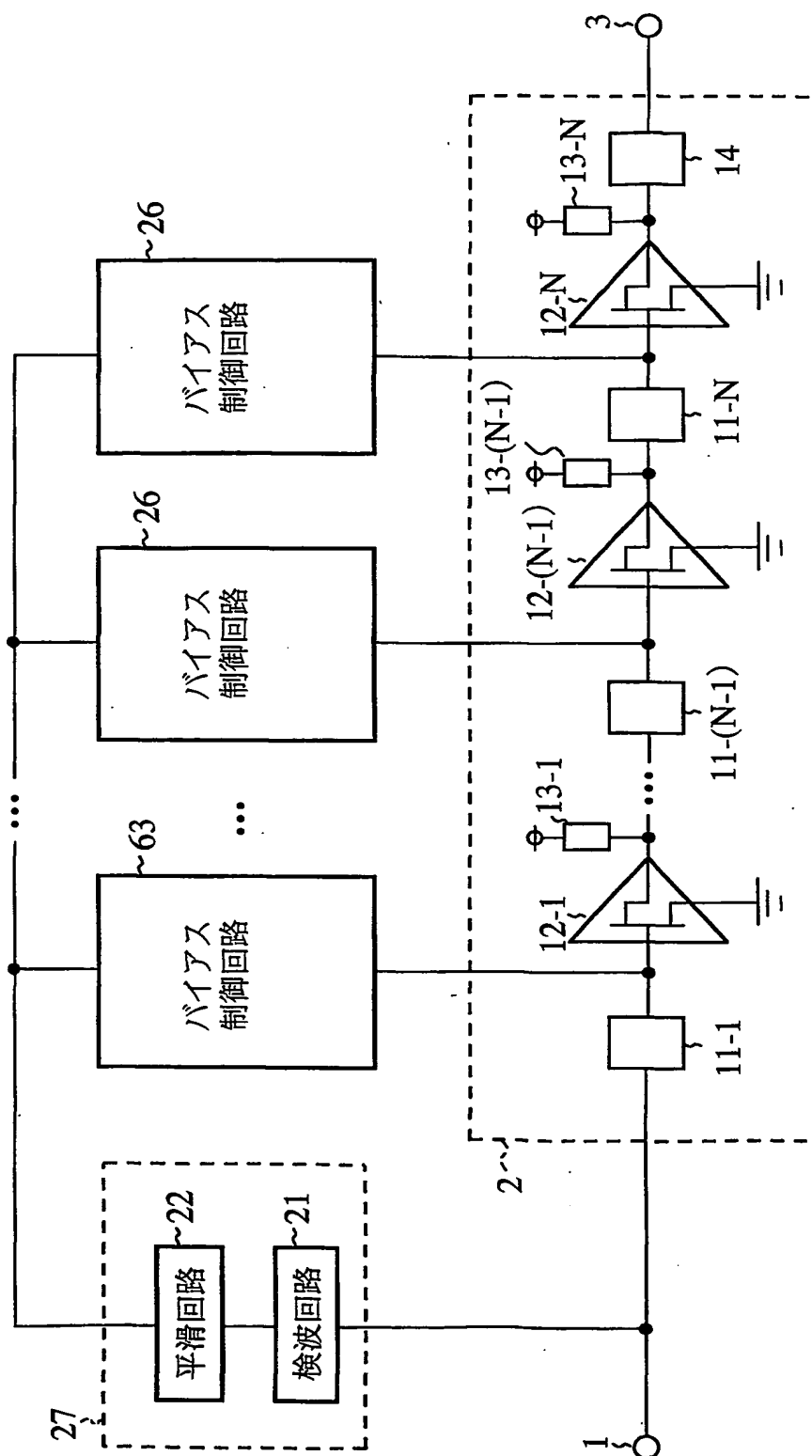
第8図



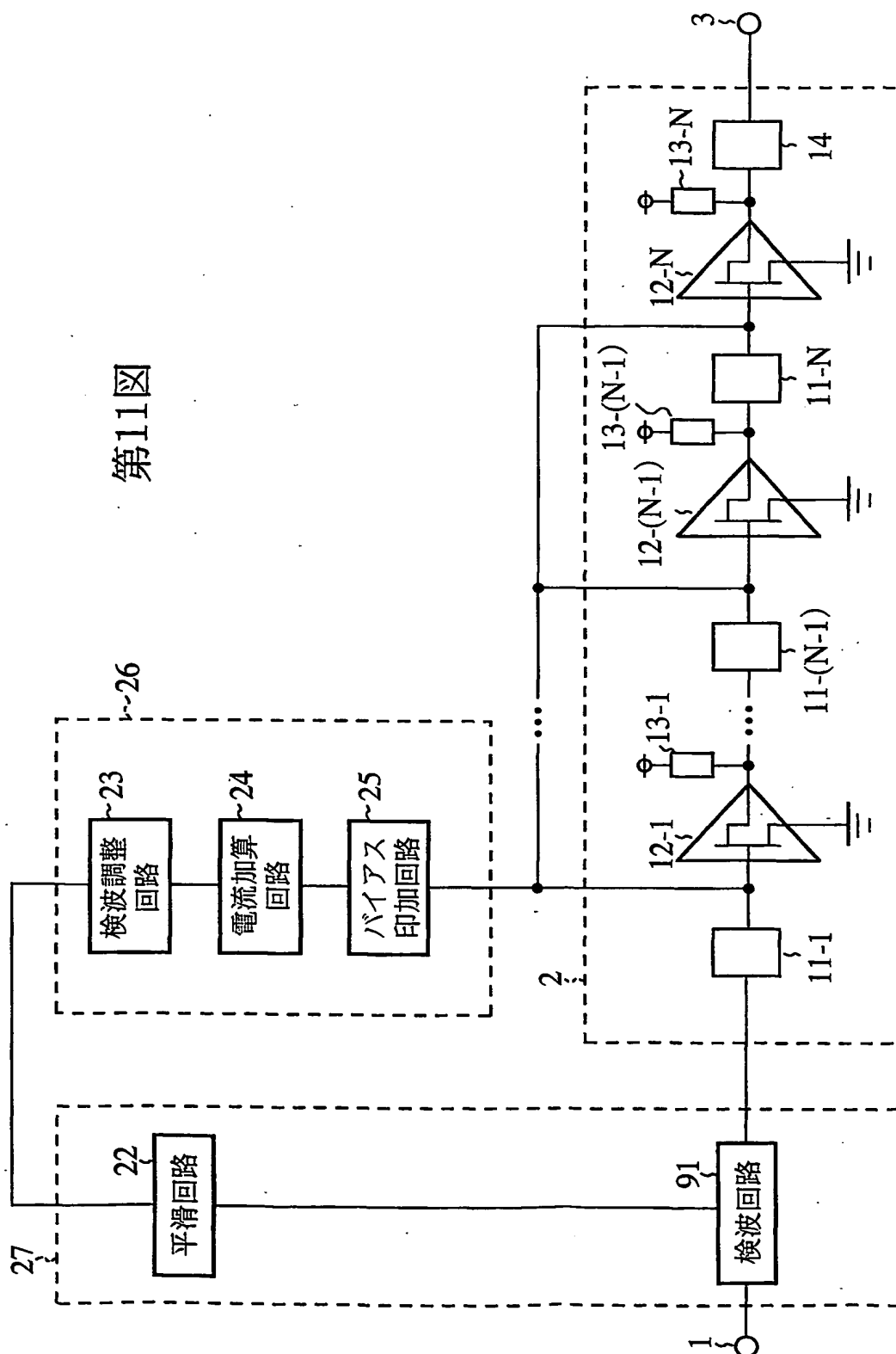
第9圖



第10図



第11図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04367

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03F1/02, H03G3/30, H04B1/04, 1/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03F1/00-3/72, H03G3/00-3/34, H04B1/04, 1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-149108 A (NEC Corporation), 07 June, 1990 (07.06.90), Full text; Fig. 1 (Family: none)	1-17
Y	JP 9-107299 A (NEC Saitama Ltd.), 22 April, 1997 (22.04.97), Full text; Figs. 1, 2 (Family: none)	1-17
Y	US 5196807 A (Sanyo Electric Co., Ltd.), 23 March, 1993 (23.03.93), Full text; Figs. 1, 3 & JP, 4-111506, A & EP, 473166, B1	2-5, 11, 15, 17
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No.3405/1984 (Laid-open No.116719/1985) (Toshiba Corporation), 07 August, 1985 (07.08.85), Full text; Fig. 3	3, 7, 11, 12

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 September, 2000 (14.09.00)	Date of mailing of the international search report 26 September, 2000 (26.09.00)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04367

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5410275 A (Motorola Inc.), 25 April, 1995 (25.04.95), Full text; Fig. 3 & JP, 8-507192, A & WO, 95/17042, A1 & FR, 2713857, A1 & GB, 2294832, B & DE, 4499891, C2	5, 9
Y	JP 2000-59157 A (Matsushita Electric Ind. Co., Ltd.), 25 February, 2000 (25.02.00), Full text; Fig. 2 (Family: none)	6-9, 12, 16, 17
Y	JP 5-308232 A (Sharp Corporation), 19 November, 1993 (19.11.93), Full text; Fig. 1 (Family: none)	13

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03F1/02, H03G3/30, H04B1/04, 1/16

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03F1/00-3/72, H03G3/00-3/34, H04B1/04, 1/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 2-149108, A (日本電気株式会社) 7. 6月. 1990 (07. 06. 90) 全文, 第1図 (ファミリーなし)	1-17
Y	J P, 9-107299, A (埼玉日本電気株式会社) 22. 4月. 1997 (22. 04. 97) 全文, 第1, 2図 (ファミリーなし)	1-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

14. 09. 00

国際調査報告の発送日

26.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

長島 孝志



5 T

7 8 2 7

電話番号 03-3581-1101 内線 3567

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US, 5 1 9 6 8 0 7, A (Sanyo Electric Co., Ltd.) 23. 3月. 1993 (23. 03. 93) 全文, 第1, 3図 & JP, 4-1 1 1 5 0 6, A&EP, 4 7 3 1 6 6, B1	2-5, 11, 15, 17
Y	日本国実用新案登録出願59-3405号(日本国実用新案登録出願公開60-116719号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (株式会社東芝), 7. 8月. 1985 (07. 08. 85) 全文, 第3図	3, 7, 11, 12
Y	US, 5 4 1 0 2 7 5, A (Motorola Inc.) 25. 4月. 1995 (25. 04. 95) 全文, 第3図 & JP, 8-5 0 7 1 9 2, A&WO95/17042, A1 & FR, 2 7 1 3 8 5 7, A1&GB, 2 2 9 4 8 3 2, B & DE, 4 4 9 9 8 9 1, C2	5, 9
Y	JP, 2000-59157, A (松下電器産業株式会社) 25. 2月. 2000 (25. 02. 00) 全文, 第2図 (ファミリーなし)	6-9, 12, 16, 17
Y	JP, 5-308232, A (シャープ株式会社) 19. 11月. 1993 (19. 11. 93) 全文, 第1図 (ファミリーなし)	13

THIS PAGE BLANK (USPTO)